

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-017522
 (43) Date of publication of application : 22.01.1999

(51) Int. Cl. H03K 19/0944
 H01L 21/82
 H01L 27/04
 H01L 21/822
 H01L 21/8234
 H01L 27/088
 H03K 19/096
 H03K 19/20

(21) Application number : 10-144126 (71) Applicant : INTERNATL BUSINESS MACH CORP
 <IBM>
 (22) Date of filing : 26.05.1998 (72) Inventor : CHEN WEI

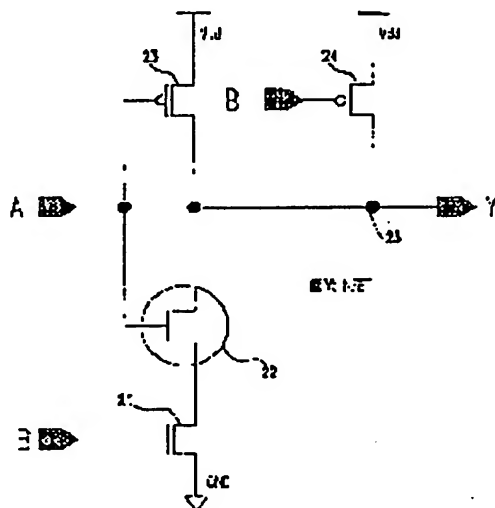
(30) Priority
 Priority number : 97 868231 Priority date : 03.06.1997 Priority country : US

(54) LOGICAL BLOCK FOR MIXTURE OF LOW THRESHOLD VOLTAGE MOSFET DEVICE USED FOR DESIGN OF VLSI OF DEEP SUBMICRON FORM AND NORMAL THRESHOLD VOLTAGE MOSFET DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To increase the processing speed without increasing the standby electric power by placing at least a normal threshold voltage(V_t) device consisting of the mixture of a low V_t device and a normal V_t device and functioning as a large resistor to reduce the leakage current at a position set between V_{dd} and the ground.

SOLUTION: The parallel PFET(P-channel field-effect transistors) 23 and 24 are connected to the inputs A and B and also connected in common to the drain of an NFET(N-channel field effect transistor) 22, i.e., a low V_t device which increases the processing speed. The low V_t device is connected to a point near an output node 25 and must be adversely and properly biased in its OFF state. Then an NFET 21 of normal V_t is connected between V_{dd} and the ground in order to reduce the leakage current. In such a constitution, the processing speed is increased by about 5% by increasing the leakage current by 20%.



LEGAL STATUS

[Date of request for examination]	16.12.1999
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3433405
[Date of registration]	30.05.2003
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C) ; 1998, 2003 Japan Patent Office

【特許請求の範囲】

【請求項1】待機電力の大きさを増大させずに性能を高めるための低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロックにおいて、 V_{dd} とアースの間に、漏れ電流を低減するために大きな抵抗として働く少なくとも1つの正規しきい値電圧デバイスを有する論理ブロック。

【請求項2】低しきい値電圧デバイスが、漏れ電流を有効に低減するために逆バイアスされる、請求項1に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

【請求項3】低しきい値電圧デバイスが、出力に最も近い節点に接続される、請求項1に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

【請求項4】混合された低しきい値電圧デバイスと正規しきい値電圧デバイスが、金属酸化膜半導体電界効果型トランジスタ(MOSFETs)である、請求項3に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

【請求項5】論理ブロックの回路が、静的回路である、請求項4に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

【請求項6】回路のうちの1つがNANDゲートである、請求項5に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

【請求項7】回路のうちの1つがNORゲートである、請求項5に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

【請求項8】回路のうちの1つがAND-OR-INVERT論理ブロックである、請求項6に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

【請求項9】回路のうちの1つがOR-AND-INVERT論理ブロックである、請求項5に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

【請求項10】回路のうちの1つが加算器回路である、請求項5に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

【請求項11】回路のうちの1つがマルチプレクサ回路である、請求項5に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

【請求項12】論理ブロックの回路がダイナミック回路である、請求項4に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

【請求項13】低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロックを、待機電力を大幅に増加せずに性能利得を得るように最適化するためのコンピュータ実施最適化方法であって、

V_{dd} とアースの間に、漏れ電流を減少させるために大きな抵抗として働く少なくとも1つの正規しきい値電圧デバイスを定義する段階と、

低しきい値電圧デバイスがオフ状態で逆バイアスされ漏れ電流を有効に減少させるように低しきい値電圧デバイスを接続する段階とを含むコンピュータ実施最適化方法。

【請求項14】様々な回路構成の性能をシミュレートする段階と、

10 速度と漏れ電流の最小基準に基づいて構成を選択する段階とをさらに含む、請求項13に記載の、低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロックを最適化するためのコンピュータ実施最適化方法。

【請求項15】それぞれの回路適合最小基準の最適構成を選択する段階をさらに含む、請求項14に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロックを最適化するためのコンピュータ実施最適化方法。

20 【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、一般に、超大規模集積(VLSI)回路設計用の論理ブロックの使用に関し、詳細には、深いサブミクロン方式の低電圧しきい値(V_t)と正規電圧しきい値の金属酸化膜半導体電界効果トランジスタ(MOSFET)デバイスを混合した新規の技術論理ブロックに関する。

【0002】

【従来の技術】深いサブミクロンVLSI回路の設計において、処理速度と電力が最も重要である。VLSI回路設計者は、通常、これらの競合する2つの要件を、最適な設計を達成するために設計トレードオフにより解決しなければならない。VLSI回路で使用されるトランジスタのチャネル長を深いサブミクロン様式に縮小するとき、基準動作電圧(V_{dd})は、2ボルト(2V)未満に下がる。たとえば、次のような参考文献を参照されたい。

【0003】・ R. H. デナルド(Dennard)、F. H. ガンスレン(Gaensslen)、H. N. ユー(Yu)、
40 V. L. ライドアウト(Rideout)、E. バソー(Basso us)、およびA. R. レブラン(LeBlanc)、「IEEE Journal of Solid-State Circuits」vol.9, No.5, 256 (1974年)。

【0004】・ B. デバリ(Davari)、R. H. デナルド(Dennard)、およびG. G. シャヒディ(Shahidi)、「Proceedings of the IEEE」vol.83, No.4, 595 (1995年)。

【0005】・ Y. トール(Taur)、D. A. ブキヤナン(Buchanan)、W. チェン(Chen)、D. J. フランク(Frank)、K. E. イシマル(Ismail)、S.

H. ロー (Lo)、G. A. サイハラツ (Sai-Halasz)、R. G. イスワナサン (Wiswanathan)、H. J. C. ワン (Wann)、S. J. ウインド (Wind)、およびH. S. ウォン (Wong)、「Proceedings of the IEEE」Vol. 85, No. 4, 486 (1997年)。

【0006】デバイスのオフ電流を妥当なレベルに維持するために、しきい値電圧 (V_t) は、300~400ミリボルト (mV) のレベルに維持される。L. スー (Su)、S. スバンナ (Subbanna)、E. クラブ (Crabbe)、P. アグネロ (Agnello)、E. ノワク (Nowak)、R. シュルツ (Shulz)、S. ラッチ (Rauch)、H. Ng、T. ニューマン (Newman)、A. レイ (Ray)、M. ハグラブ (Hargrove)、A. アコビック (Acovic)、J. スナレ (Snare)、S. クロウダー (Crowder)、B. チェン (Chen)、J. サン (Sun)、およびB. ダバリ (Davari)、「1996 Symposium on VLSI Technology Digest of Technical Papers」、P. 13、ホノルル、1996年6月11~13日を参照されたい。高性能マイクロプロセッサのようなVLSIシステムの性能 (すなわち速度) は、オーバードライブ値 ($V_{dd} - V_t$) と密接な関連がある。第1近似では、反転器の遅延 (t_d) は、次の式で表される。

【数1】

$$t_d = \frac{2C_L}{\beta V_{dd}} (1-n) \left[\frac{n-0.1}{1-n} + 0.5 \ln(19-20n) \right]$$

【0007】上述で、 $n = V_t / V_{dd}$ 、 $\beta = \mu C_{ox} W / L$ および μ は、検討しているスイッチオフ (またはオン) 状態に依存する電子 (またはホール) 移動度であり、 C_{ox} はゲート容量、 W/L は長さに対する幅の比、 C_L はゲート容量である。N. H. E. ウェスト (Weste) およびK. アシュラヒアン (Eshraghian)、「Principles of CMOS VLSI Design: A System Perspective」第2版、Addison Wesley, Chapter 4、1994年を参照されたい。相補型金属酸化膜半導体 (CMOS) 技術により性能を高めるためには、低い V_t のMOSFETを作成することが必要とされている。この性能の向上は、 V_{dd} が小さくなるほど大きくなる。Y. トール (Taur) 他による前述の参考文献を参照されたい。CMOS回路において、本技術における典型的な低 V_t デバイスは、正規 V_t デバイスよりも約100mV低い250mVの V_t を備え、上記の式から評価された標準的な向上率は約10%であり、これはシミュレーションとよく一致している。L. スー (Su) 他による前述の参考文献を参照されたい。しかしながら、低 V_t デバイスは、通常、正規 V_t デバイスよりも漏れ電流がかなり大きい (5~10倍大きい)。他の検討事項の中でも特にこの大きな漏れ電流が、VLSI設計に低 V_t デバイスが幅広く使用されるのを妨げている。

【0008】課せられたこの制限を回避する1つの手法は、NAND、NORその他の論理ゲートなどの低 V_t

静的論理ブロックおよびすべて低 V_t デバイスからなるブロックを作成し、回路のクリティカル・パス部分でのみそれらを実施することである。1つの低 V_t 論理ブロックが大きな待機電力を引き起こす場合でも、クリティカル・パスのブロック・カウントが、システム全体のブロック・デバイス・カウントのうちの少しの部分でしかないので、システムの待機電力を増大させることなく処理速度を高めることができる。定義により、本明細書における論理ブロックは、NANDゲートやNORゲートなどの基本論理ユニット/ブロック、ANDゲート、ORゲートおよび反転器 (NANDゲートおよびNORゲート) の組み合わせ、あるいは加算器、マルチプレクサ、バッファなどの論理ブロックを意味し、これらは、ある一定の論理機能を実行し、高レベルの回路/論理またはシステムの設計者によってユニットとして扱われる。

【0009】処理速度を高める設計のいくつかのクリティカル部分における低 V_t 論理ブロックの大きな漏れ電流は、VLSI回路設計の深いサブミクロン様式における特別の関心事である。この大きな漏れ電流の関心は、他の検討事項と共に、設計における低 V_t 論理ブロックの使用を制限する。これは、特に、現世代のマイクロプロセッサに使用されている何百万ものトランジスタが、すでにシングル・チップ上の数十ワットの電力を消費しているときに当てはまる。したがって、次世代のVLSI回路の設計者に提示された問題は、待機電力を大幅に増大させることなく処理速度を高めることができる方法で、1つの論理ブロック内に低 V_t デバイスと正規 V_t デバイスを混合することができるかどうかである。

【0010】

【発明が解決しようとする課題】したがって、本発明の目的は、論理ブロックの待機電力を大幅に増大させずに性能を高めた、低 V_t デバイスと正規 V_t デバイスを混合した静的論理回路を提供することである。

【0011】本発明のもう1つの目的は、混合した低 V_t デバイスと正規 V_t デバイスの使用を動的回路に拡張し、それにより、待機電力を大幅に増大させることなく動的回路の性能向上において類似の改善を達成することである。

【0012】

【課題を解決するための手段】本発明によれば、低 V_t デバイスが、速度を高めるために使用され、正規 V_t デバイスが、論理ブロックのオフ電流を遮断するために使用される。混合 V_t 構成の最適化が重要である。本発明において、出力とアースの間にすべて低 V_t デバイスからなる単一経路を作成することはできず、出力と V_{dd} の間にすべて低 V_t デバイスからなる単一経路を作成することはできない。一般に、 V_{dd} とアースに接続されたデバイスは、正規 V_t デバイスでなければならない。低 V_t デバイスは、出力の最も近くに接続されなければならない。低 V_t デバイスはすべて、そのオフ状態で適切に逆バイ

アスされなければならない。待機電力、処理速度および雑音余裕度におけるメリットのため、そのような混合、低および正規 V_t 論理ブロックを、VLSI設計（たとえば、高性能マイクロプロセッサの設計）に広く使用することができる。

【0013】

【発明の実施の形態】次に図面を参照し、より詳細には図1を参照すると、本発明の教示に従って実現することができる典型的でかつ複雑なVLSI回路の例としてマイクロプロセッサ10のブロック図を示す。マイクロプロセッサは、命令ユニット（IUNIT）101と、複数の実行ユニット、このケースでは固定小数点ユニット（FXU）102および103と浮動小数点ユニット（FPU）104および105と、レジスタ・ファイル106のアレイならびにその他の様々な支援回路を含むいくつかのブロックからなる。FPU104は、VLSI設計者が論理ブロックから構成する基本論理ゲートおよびブロックの構成を例示するためにより詳細に示される。

【0014】図2は、本発明の原理の例として、きわめて基本的なスタティック論理ブロックのための、2入力NANDゲートを示す。ゲートは、スタック型の2つのnチャネル電界効果トランジスタ（NFETs）21および22と、並列の2つのpチャネル電界効果トランジスタ（PFETs）23および24を含む。NFET22とPFET23のゲートが接続され、Aと名付けた入力的一方を受け、NFET21とPFET24のゲートは、Bと名付けられた第2の入力に接続される。Yと名付けられた出力が節点25から得られる。回路の設計は、基本的に従来のものであるが、スタック型の2つのNFET21および22において、これらのうちの一方のNFET22が低 V_t デバイスであり、他方のNFET21は正規 V_t デバイスであることに留意されたい。この開示において使用する表記規則は、低 V_t デバイスを丸で囲むことであり、その他のデバイスは正規 V_t デバイスである。また、低 V_t デバイスNFET22は、アースから分離され出力Yの隣りにあり、一方、正規 V_t デバイスのソース（またはドレイン）はアース（または V_t ）に接続される。

【0015】当然ながら、一般に、混合 V_t 論理ブロックにおいて低 V_t デバイスをどこにどのように配置し、また何個の低 V_t デバイスを配置するかに関しては多くの変形が可能である。たとえば、1つの可能な構成は、図3に示したような低 V_t NFETを備えることであり、この場合は、低 V_t デバイスのソースがアースに接続され、もう1つの可能な構成は、低 V_t NFETデバイスと低 V_t PFETデバイスの両方を備えることである。これらは、同一の基本概念を少し拡張したものにすぎない。本発明の最適化アルゴリズムを後で示すが、これらの構成は、処理速度を高め漏れ電流を最小にするという

点では、図2に示した構成よりも劣る。

【0016】AND-OR-INVERT（AOI）論理ブロック、OR-AND-INVERT（OAI）論理ブロック、4つの入力NANDゲート、3つの入力NORゲートなどの様々な論理ブロックを、この混合 V_t 方式で構成することができ、その例を図4から図7に示す。特に、図4は、それがAND-OR-INVERT機能を実行するために、一般にAOIブロックと呼ばれる論理ブロックを示す。論理的に、出力Yは、

10 【数2】

$$\overline{(A1 \cdot A2) + (B1 \cdot B2)}$$

である。入力A1とA2のスタック型のNFET41および42と並列のPFET43および44だけを検討すると、この構造は、図2のNANDゲート（AND-INVERT）である。同様に、入力B1およびB2のスタック型のNFET45および46と並列のPFET47および48は、NANDゲートの構造を構成する。この回路において、出力に最も近いNFET42および46とPFET43および44は、低 V_t デバイスであることに注意されたい。アースに最も近いNFET41および45と、 V_{dd} に最も近いPFET47および48は、正規 V_t デバイスである。

【0017】図5は、OR-AND-INVERT機能を実行するために一般にOAIブロックと呼ばれる論理ブロックを示す。論理的には、出力Yは、

【数3】

$$\overline{(A1 + A2) \cdot B}$$

である。この回路は、並列のNFET51および52とスタック型のPFET53および54を含むORゲートで構成される。AND機能は、NFET55とPFET56の組み合わせで作成される。このケースでは、出力に最も近いPFET53およびNFET55が低 V_t デバイスである。アースに最も近いNFET51および52と、 V_{dd} に最も近いPFET54および56が、正規 V_t デバイスである。

【0018】図6は、4入力NANDゲートを示し、図7は、3入力NORゲートを示す。図6において、スタック型のNFET62、63および64が低 V_t デバイスであり、アースに最も近いNFET61と、 V_{dd} に最も近いPFET65から68が、正規 V_t デバイスである。図7において、出力に最も近いスタック型のPFET74および75が低 V_t デバイスであり、アースに最も近いNFET71、72および73と、 V_{dd} に最も近いPFETが、正規 V_t デバイスである。

【0019】本発明による混合 V_t ブロックの処理速度の向上と少ない漏れ電流を示すために、これらの論理ブロックを使っていくつかの簡単な回路を構成する。図8に示した第1の回路は、入力の約2倍の容量、すなわち約24フェムトファラド（fF）を駆動する2入力NANDゲートである（ゲイン2）。入力スルーは、100ピコ

秒 (psec) の典型的なスルーに設定される。表1に、混合型2入力NANDゲート・ブロックならびに本技術に基づく正規 V_t および低 V_t の2入力NANDゲート

・ブロックによるシミュレーション結果を示す。

【表1】

論理ブロック (NAND2)	上昇から下降まで (ピコ秒)	下降から上昇まで (ピコ秒)	オフ電流 (nA)
正規 V_t	4.2	6.3	0.47
混合 V_t (図2)	3.7	6.3	0.67
低 V_t	3.6	5.8	4.27
混合 V_t (図3)	4.1	6.3	1.63

【0020】結果（上昇から下降まで欄）は、明らかに、低 V_t ブロックにより約10%速度が向上したことを示す。しかしながら、オフ電流はきわめて大きい（正規 V_t ブロックの700%大きい）。図2に示した構成1の原理を利用した混合 V_t ブロックの場合は、わずか20%の漏れ電流の増大で速度を約5%高めることができる。

【0021】混合 V_t 論理ブロックにおいて、デバイスを低 V_t にすべきか正規 V_t のままにすべきか自由度があることは明らかである。処理速度、漏れ電流および雑音の検討事項に関して後で説明する最適化アルゴリズムは、どのデバイスを低 V_t にしてどれをしないかに関してははっきりした選択をするに役立つ。混合 V_t 論理ブロックにおけるそのような最適化の重要性を理解するために、図2に示した構成1と図3に示した構成2の異なる2つの混合 V_t 論理ブロックの構成によるシミュレーション結果を比較されたい。この2つの唯一の違いは、低 V_t デバ

イスと正規 V_t デバイスの順序である。2つの結果が大きく異なることに注意されたい。テーブル1にまとめたように、構成1は、構成2よりも4%高速であるが、その漏れ電流は、構成2のわずか1/3である。すなわち、構成1は、漏れ電流がわずか20%増大するだけで正規 V_t ブロックよりも5%高速であるが、構成2は、漏れ電流が250%も増大するが正規の V_t ブロックよりも1%高速である。

【0022】混合 V_t 論理ブロックによるもう1つの簡単な回路の例として、図9に示したような2ウェイ・マルチプレクサを検討されたい。この基本論理ブロックは、3つの2入力NANDブロックから構成することができる。表2に、遅延と漏れ電流のシミュレーション結果を示す。

【表2】

論理ブロック (NAND2)	選択A (ピコ秒)	選択B (ピコ秒)	オフ電流 (nA)
正規 V_t	6.0	6.9	4.3
混合 V_t	5.7	6.5	4.6
低 V_t	5.4	6.2	3.2

【0023】低 V_t ブロックによって速度を10%高めることができることは明らかであるが、回路には7倍大きな漏れ電流が生じる。混合 V_t ブロックによって速度を5%高めることができるが、漏れ電流は、正規ブロックよりも約10%多いだけである。したがって、設計において、同じ漏れ電力消費を発生させる低 V_t ブロックの70倍の混合 V_t ブロックを適用することができる。すなわち、VLSI設計者は、設計上低 V_t ブロックの70倍以

40 上の場所に混合 V_t ブロックを利用することができる。

【0024】より複雑な回路を、図10に示す。これは、SUMとCARRYの出力を有する1ビット全加算器である。これは、26個のトランジスタのみから成る。表3に、速度と漏れ電流の両方の明らかな改善を示す比較結果を示す。

【表3】

論理ブロック (加算器)	SUMの 遅延 (0→1) (ピコ秒)	SUMの 遅延 (1→0) (ピコ秒)	CARRY の遅延 (0→1) (ピコ秒)	CARRY の遅延 (1→0) (ピコ秒)	オフ電流 (nA)
正規V _t	130	156	57	92	2
混合V _t	122	146	53	87	2.8
低V _t	117	142	50	85	12

【0025】混合V_tの手法は、特に、ブール特性
 $f(x_1', x_2', x_3', \dots) = f'(x_1, x_2, x_3, \dots)$

を含む算術論理演算ユニット(ALU)における1つの重要タイプの回路に有利であり、ここで、x'は、xの補数である。そのような特性の場合、NFETとPFETは、互いに対となる電子回路である。そのような回路の例は、図10に示した加算器である。

【0026】また、反転器の混合V_tブロックを設計することもできるが、それは少し困難である。この論理ブロックにはデバイスが2つしかないためである。PFETとNFETのどちらかを低V_tデバイスにするように選択が制限されるが、両方とも低V_tデバイスであるとは限らない。もう1つの困難な理由は、そのような反転器を回路内で使用する場所と方法による。通常、そのような混合V_t構成は、待機電力を減少させる際にある一定の利点を提供する。しかしながら、出力または入力を1つの特定の極性にアサートする場合は、低V_tNFETデバイスを使用すべきか低V_tPFETデバイスを使用すべきかの決定には注意を要する。これらのすべての考察は、コンピュータ・プログラムのライブラリまたはデータベースで行うことができる。

【0027】シミュレーション結果を示したように、混合V_t構成のいくつかは論理ブロックの漏れ電流を大幅に減少させることができるが他のものは減少できない原因となる物理的特性を説明する。これを理解することにより、任意の論理ブロックの一般的な最適化アルゴリズムを開発することができる。図11に、図2の2入力NANDゲート回路にゲートソース・バイアス(V_{gs}=V_g-V_s)と内部節点電圧(V_t)の注釈を付けたものを再び示す。正規V_tNFETデバイス111のV_{gs}は単にV_{gB}であるが、この特定の構成における低V_tNFETデバイス112のV_{gs}は、V_{gA}-V_xであることに注意されたい。V_{gA}=V_{gB}=0の場合のオフ状態において、低V_tNFETデバイス112は、実際にはV_{gs}=-V_xの逆バイアスがかけられる。低V_tNFETデバイス112のこの逆バイアスにより、漏れ電流が逆バイアスに指数関数的に依存するため、論理ブロックの漏れが効果的

に抑制される(図12のI-V特性を参照)。この点は、また、混合V_t2入力NANDゲートにおける漏れ電流に関する以下の分析に明確に示される。

【0028】前述のように、混合V_t構成の最適化において、次の2つの規則に従わなければならない。

【0029】(1) HIGH(すなわちV_{dd})とLOW(すなわちGND)の間に、少なくとも1つの正規V_tデバイスがなければならない。これは、漏れ電流を減少させるためのHIGHとLOWの間の大きな抵抗として働く。

【0030】(2) さらに、漏れ電流を効果的に減少させるために低V_tデバイスが逆バイアスになるような構成を選択しなければならない。

【0031】規則(1)は、容易に理解することができる。しかしながら、規則(2)を理解することがきわめて重要である。これは、混合V_t論理ブロックの導入によってなぜそれほど大きく漏れ電流を減少させることができるかという大きな理由である。

【0032】図11(すなわち図2)に示した混合V_t構成1を検討する。ここで、低V_tNFETデバイスは、アースから遠い出力の近くにある。この構成において、正規V_tデバイスのゲート・バイアスはV_{gs}=V_g-V_s=V_gであるが、低V_tデバイスのゲート・バイアスは、V_{gs}=V_g-V_tである。図12に、2つのデバイスのしきい値以下のI-V特性を示す。しきい値以下の領域の漏れ電流は、次の式で近似される。

【数4】

$$I = I_0 \left(\frac{W}{L} \right) \exp(\beta(V_{gs} - V_t)) (1 - \exp(-\beta V_{ds}))$$

【0033】ここで、本技術において、I₀はしきい値電圧において定義されたある一定の電流(通常は40μA)、W/Lは幅と長さの比率、β=q/nkT≅444/Sであり、ここで、Sは、一般にmV/DECADEの単位で使用されるしきい値こう配、n=1+C_{dep}/C_{ox}、C_{dep}は基板消耗キャパシタ、C_{ox}はゲート容量である。S. M. セゲ(Sze)による、「Physics of Semiconductor Devices」第2版、John Wiley

y & Sons, Chapter 7, 1981年を参照されたい。

【0034】そのオフ状態において、すべて入力はLOWに設定され、出力はHIGH (V_{dd})である。したがって、正規 V_t デバイスの V_{gs} は0と等しく、低 V_t デバ

$$I_l = I_0 \left(\frac{W_l}{L_l} \right) \exp(-\beta_l (V_t + V_{tl})) (1 - \exp(-\beta_l (V_{dd} - V_l)))$$

【数6】

$$I_r = I_0 \left(\frac{W_r}{L_r} \right) \exp(-\beta_r V_r) (1 - \exp(-\beta_r V_x))$$

【0035】ここで、 $I_l = I_r = I$ であり、 I_l と I_r はそれぞれ低 V_t デバイスと正規 V_t デバイスを流れる電流である。回路の定理は、 $I_l = I_r = I$ でなければならない。上式を数値的に解いて V_x と I を計算することができ、前述のシミュレーション結果が得られる。

【0036】重要な点を例示するために、ここで、次のようないくつかの簡略化と仮定を行う。(1)一般性を失わないように $W_l/L_l = W_r/L_r$ とする。(2) $\beta_l \approx \beta_r$ と近似する(3) V_x が $kT = 26mV$ よりも大きいと仮定する。これらの仮定により、上式は、 $V_x = V_{tr} - V_{tl} = \delta V_x$ となる。漏れ電流は、 $I = I_0 W/L \cdot \exp(-\beta V_{tl})$ であり、これは、まさに正規 V_t 反転器の漏れ電流であり、 δV_t の影響を受けない。

【0037】すべて低 V_t デバイスからなる2入力NANDゲートでは、漏れ電流は $\exp(-\beta V_{tl})$ に比例し、これは正規 V_t ブロックまたは混合 V_t ブロックの漏れ電流よりも多いこともある。指数関数的依存性のため、漏れ電流は、 V_{tl} を低くすると急激に増大し、またすみやかに V_{tl} をどれだけ小さくすることができるかを制限を課す。この制限は、本発明の最適化された混合 V_t ブロックでは存在しない。

【0038】前述の解が示すとおり、内部節点の電圧は、およそ $V_x = V_{tB} - V_{tA} \approx -100mV$ である。通常の $85mV/DECADE$ のしきい値以下のこの配では、この $100mV$ の逆バイアスによって、漏れ電流を一桁小さくすることができる。

【0039】また、この逆バイアスにより、混合 V_t 論理ブロックの雑音余裕度が高くなる。このため、低 V_t デバイスをオンにするために、入力電圧グリッチが今 $V_{tl} + V_x \approx V_{tr}$ よりも大きくなければならない(V_{tl} 、 V_{tr} はそれぞれ、低 V_t デバイスと正規 V_t デバイスのしきい値電圧である)。1つの論理ブロック内で正規 V_t デバイスと低 V_t デバイスを注意深く混合することにより、混合 V_t ブロック内の雑音余裕度を保持することができる。実際には、注意深い設計により、混合 V_t ブロックの雑音余裕度を正規 V_t ブロックの雑音余裕度に近づけることができる。この場合も、重要なことは、正規 V_t デバイスを使用して雑音余裕度を高め、低 V_t デバイスを使

イスのゲート電圧($V_{gs} = V_g - V_x = -V_x$)は実際には負である。低 V_t デバイスと正規 V_t デバイスを表すために添字 l と r を使用し、混合 V_t 2入力NAND回路に関して、次の式を得る。

【数5】

用して性能を高めることである。または、これは、シミュレーションにより確認され、そのような検討事項をコンピュータ・プログラムに組み込むことができる。

【0040】上記の説明に基づいて、次に、本発明による最適化アルゴリズムを示す。このアルゴリズムは、任意の正規 V_t 静的回路を、同じ論理を実行する混合 V_t 論理ブロックに変換し(複雑さに関係なく)、速度、漏れ電流、電力および雑音余裕度の基準に関して最適化する。この最適化アルゴリズムは、混合 V_t コンピュータ最適化プログラムの基礎を構成する。最適化基準は、速度、待機電力、雑音余裕度の3つの要素からなり、アップ/ダウン・スイッチング、短絡電力、遷移スイッチング電力などの他の要素をカバーするように拡張することができる。 V_{dd} からアースまでの単一経路がない基準を、単一正規 V_t デバイスなしにすべて低 V_t デバイスから作成することができる。より限定的な基準は、出力からアースまたは V_{dd} のいずれかまでの可能なすべての経路を探索することであり、低 V_t デバイスによって単一経路を作成してはならない。もう1つの重要な基準は、単一論理ブロック内のすべての経路のタイミングの分析であり、ほとんど低 V_t デバイスからなる最もクリティカルなパスを有する。

【0041】論理ブロックをブラック・ボックスとして備えることは、VLSI設計の作業を区分するのに役立つ。これは、トランジスタ・レベル/デバイス・レベルの作業をより高レベルのゲート最適化から分離するのに役立つ。これは、マクロおよびチップ・レベルの合成およびタイミング最適化のための既知の回路設計プログラムに統合することができる。ボックス(論理ブロック)がそのデバイス/トランジスタ内容が見えるように透明化される状況では、トランジスタ・レベルまたはスイッチ・レベルのタイミング・ツールを使用しなければならない。

【0042】要約すると、最適化アルゴリズムは、次のステップを含む。

【0043】・ステップ1: 構成の規則

・規則1. 1: V_{dd} とアースの間で低 V_t デバイスだけから単一経路を構成することはできない。

【0044】・規則1. 2: 出力とアースの間で低 V_t デバイスだけからの単一経路を構成することはできない。

【0045】・規則1. 3: 出力と V_{dd} の間で低 V_t デバイスだけからの単一経路を構成することはできない。

【0046】・規則1.4(推奨): V_{dd} とアースに接続されるデバイスは、正規 V_t デバイスでなければならない。

【0047】・規則1.5: 低 V_t デバイスはそれぞれ、オフ状態で逆バイアスをかけなければならない。

【0048】・ステップ2: 基準:

・規則2.1: 回路の速度ゲインが、設計者が設定した最低速度ゲインよりも大きくななければならない。

【0049】・規則2.2: 回路の漏れ電流が、設計者が設定した漏れ電流よりも少なくななければならない。

【0050】・規則2.3(任意): コスト関数を定義する場合は、コスト関数の値が、設計者が設定したコスト関数の限度よりも小さくななければならない。コスト関数は、性能、速度、漏れ電流、処理の複雑さおよび歩留り問題の間のトレードオフを反映するように定義される。

【0051】・規則2.4: 各構成のメリット関数を評価する。メリット関数は、構成の全体的な定格を反映させるために、設計者とツール開発者によって定義される。速度駆動型マイクロプロセッサの設計では、メリット関数の明らかな選択は、一スラックまたは一スラック/(漏れ電流の増加) $\gamma + \eta$ (コスト関数)であり、ここで γ と η はパラメータである。後者の定義は、本質的に、漏れ電流とコスト関数を考慮するスラック定義の拡張であることに留意されたい。 $\gamma = 0$ 、 $\eta = 0$ と設定すると、一スラック/2に減少する。スラックは、従来、到着時間から所望の到着時間を引いたものとして定義され、初期モードと遅延モード分析の両方に当てはまる。

【0052】・ステップ3: 最適化手順:

・小さな回路では、ステップ1とステップ2を通すすべての構成を、メリット関数の最大値によって最良の構成を決定するようにシミュレートしなければならない。

【0053】・きわめて大きな回路では、そのような網羅的なシミュレーションには時間がかかりすぎる。構成の数は $2^N - M_1 - M_2$ のように増加し、ここで、 N は回路内のデバイス数、 $M_{1,2}$ は、ステップ1とステップ2で選別された数である。

【0054】代替の最適化方法は、静的タイマを使用して、すべてのクリティカル・パスを見つけ、メリット関数の利得が設計者によって設定された所定数よりも小さくなるまでそれぞれのクリティカル・パスを最適化することである。

【0055】さらに、いくつかの回路特性を使用して、最適化手順を簡略化することができる。たとえば、NFETとPFETが互いに対になる電子回路であるような、図10に示したような対称的な回路では、検査する必要がある構成の数は $2^{N/2} - M_1 - M_2$ に減少する。一般に、同じ処理のために、必要な類似特性のデバイスを、デバイス・グループに分類することができる。その

ような低 V_t グループを作成する場合は、すべてのデバイスをそのような低 V_t グループにする。そのような正規 V_t グループを作成する場合は、すべてのデバイスがそのような正規 V_t グループにされる。さらに、階層的な手法を使用して、低 V_t デバイス・グループからなる低 V_t デバイス・ブロックを定義することができる。回路内に n 個のデバイス・グループがあると仮定すると、検査する必要がある構成の数は $2^n - M_1 - M_2$ に減少する。

10 【0056】検査する必要がある構成の数は、後で説明するステージ手法を使用することにより減少される。ソースまたはドレインがアースまたは V_{dd} に直接接続されたトランジスタをステージ0と示す。たとえば、ソースまたはドレインがステージ0に接続されたトランジスタをステージ1と示し、ステージ1に接続されたものを、ステージ2と示す。最後のステージは、ステージ N と示された出力に接続されたステージである。正規 V_t 論理ブロックを混合 V_t 論理ブロックに変換する効率的な方法は、同じステージのトランジスタをデバイス・グループとして変換し、すべての低 V_t を同時に作成することである。変換のシーケンスは、ステージ N から始まり、ステージ1に進む。ステップ1の規則1.5に適合しないため、ステージ0のデバイスを低 V_t に変換してはならない。この手法における構成の数は、ステージ数 N に減少する。この手法は、特に、クリティカル・パスに関する具体的な知識が利用可能でないときに、設計の初期の段階で有効であり、また時間的にも非常に効率的である。

30 【0057】・ステップ4: 満足な結果が得られるまでステップ1~3をループする。

【0058】図13に、上記のアルゴリズムのフローチャートを示す。プロセスは、機能ブロック1301で設計回路網をロードすることにより始まる。機能ブロック1302において、制御パラメータを入力する。初期化プロセスを完成させるために、機能ブロック1303において、設計者が、キーワード、デバイス・グループおよびデバイス・ブロックを作成する。この時点で、プロセスは、動作ブロック1304に示したように、それぞれの構成を順番にテストする処理ループに入る。決定ブロック1305においてテストが実行され、テストする本構成が規則に適合するかどうか判定される。規則に適合しない場合は、プロセス・ループは、動作ブロック1304に戻り、テストする次の構成を検索する。本構成が規則に適合する場合は、次に決定ブロック1306においてテストが行われ、本構成が基準を満たすかどうか判定される。これは、ブロック1307において、シミュレーション、静的タイマ、遅延規則、およびその他の特性のデータベースへのアクセスにより決定される。そうでない場合は、プロセス・ループは動作ブロック1304に戻り、テストする次の構成を検索する。本

構成が基準を満たす場合は、最良の構成を見つけるために、機能ブロック1308によって再びアクセスされる。最良の構成が見つからない場合は、プロセス・ループは動作ブロック1304に戻り、テストする次の構成を検索する。最良の構成が見つかったときは、機能ブロック1309において、その構成が、最適化された解として出力される。

【0059】また、ラッチとメモリ・デバイスの設計に共通のタイプの回路であるため、次にトライステート・バッファ用の混合 V_t 論理ブロックの使用法を説明する。1つの実現方法は、DATA INPUT用の正規 V_t デバイスとCLOCK INPUT用の低 V_t デバイスを使用する。そのような設計において、様々な V_t デバイスが異なる電圧でオン/オフし、グリッチの危険があるため、注意が必要である。

【0060】本発明の第2の態様として、ダイナミック回路と呼ばれる高速マイクロプロセッサにとってきわめて重要な特定の回路ファミリのタイプを強調することが

論理 ブック (C A R R Y)	評価遅延 (ピコ秒)	漏れ電流 (nA)
正規 V_t	4.8	0.4
混合 V_t	4.6	0.57
低 V_t	1.4	2.9

【0062】クロック入力に使用される正規 V_t デバイスは、 V_{dd} とアースの間で大きな抵抗として働く。低 V_t デバイスは、データ論理ブロックの速度を高めるために使用される。表4に示したシミュレーション結果は、混合 V_t 手法を利用して、ダイナミック回路で低 V_t 手法を使用する場合の約半分の速度ゲインを達成できることをはっきりと示す。しかし、漏れ電流は5分の1である。また、このシミュレーションは、電荷再配分効果が、設計により適切に機能化されたダイナミック回路における主な検討事項であり、データ論理ブロックの漏れ電流が少なく、この影響を受けたRC定数がクロック周期(数ナノ秒)よりも3桁大きいことを示す。図15に、遷移電圧スイッチング挙動の例を示す。

【0063】ダイナミック回路の最適化ルーチンは、いくつかの追加のキーワードとその関連する特性を定義しなければならないこと以外は、前述のものと類似している。たとえば、クロック・グループがあり、データ・グループがあり、フィード・バック・グループがあり、バッファ・グループがある。1つの手法は、データ論理部全体を、同時に低 V_t に変換できるようなデバイス・グループとして扱うことである。図14を参照されたい。

【0064】動的タイプと静的タイプの両方において、

重要である。超高速マイクロプロセッサでは、そのような回路ファミリを使用することが重要である。しかし、漏れ電流と雑音感度における低 V_t ブロックにおいて現在制限があるため、この回路ファミリで使用することはきわめて困難である。設計において現在一致していることは、ダイナミック・ロジックに低 V_t デバイス/論理ブロックを何も使用しないことである。

【0061】本発明の教示による混合 V_t 論理ブロックは、最終的に最も高速のマイクロプロセッサの速度を高めるために、この回路ファミリに特に有利である。たとえば、正規 V_t MOSFETをCLOCK入力/制御に使用することができ、低 V_t デバイスを、NMOS型のデータ論理部分の速度を高めるために使用することができる。図14に示した例は、CARRY発生回路である。再び、低 V_t デバイスの位置に注意されたい。表4に、図14に示したダイナミック回路のシミュレーション結果を示す。

【表4】

寄生容量は、速度にきわめて大きく影響する。適切なレイアウトは、シリコン上のスペースを節約するだけでなく、寄生容量を最小化する。混合 V_t に関するレイアウトについては、後で簡単に説明する。まず第一に、この混合 V_t 手法には新しいマスクが不要である。これは、本技術で実現される低 V_t ブロック手法とまったく同じハードウェア技術を使用する。低 V_t デバイスを作成するために、分離されたチャネル注入物が使用される。低 V_t デバイスが正規 V_t デバイスよりも悪い短チャネル効果を持たないようにするために、正規 V_t デバイスと同じHALOが V_t デバイスに注入される。単一論理ユニット内に混合 V_t デバイスと正規 V_t デバイスを含むチップの作成を成功させるためには、低 V_t マスクを他のマスクに注意深く位置合わせすることが重要である。この基本規則は、マルチフィンガ型の混合 V_t レイアウトの使用に有利であり、スタック型のデバイスでは制限される。しかし、これは、技術の進歩と共に変更されることがある。

【0065】図16から図19において、2入力NANDゲート、2つのフィンガを有する2入力NANDゲート、AOI回路および2つのフィンガを備えたAOI回路など、いくつかのレイアウトの例を示す。低 V_t NF

ET領域と低 V_t PFET領域にXWN層とXWP層を使用している点に注意されたい。レイアウト最適化ルーチンは、基本的に、正規レイアウト最適化ルーチンに従う。オイラー図形法(Euler graph technique)を利用して、ROXの数を最小限にするすべての経路を探索する。これと似た方法をXWNとXWPに適用して、個々のXWNとXWPの数を最小化する。個々のXWNとXWPの数を最小にすることは、歩留まりを高め、処理の複雑さと寄生容量を減少させるのに役立つ。

【0066】まとめとして、本発明の構成に関して以下の事項を開示する。

【0067】(1) 待機電力の大きさを増大させずに性能を高めるための低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロックにおいて、 V_{dd} とアースの間に、漏れ電流を低減するために大きな抵抗として働く少なくとも1つの正規しきい値電圧デバイスを有する論理ブロック。

(2) 低しきい値電圧デバイスが、漏れ電流を有効に低減するために逆バイアスされる、上記(1)に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

(3) 低しきい値電圧デバイスが、出力に最も近い節点に接続される、上記(1)に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

(4) 混合された低しきい値電圧デバイスと正規しきい値電圧デバイスが、金属酸化膜半導体電界効果型トランジスタ(MOSFETs)である、上記(3)に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

(5) 論理ブロックの回路が、静的回路である、上記

(4)に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

(6) 回路のうちの1つがNANDゲートである、上記

(5)に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

(7) 回路のうちの1つがNORゲートである、上記

(5)に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

(8) 回路のうちの1つがAND-OR-INVERT論理ブロックである、上記(6)に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

(9) 回路のうちの1つがOR-AND-INVERT論理ブロックである、上記(5)に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

(10) 回路のうちの1つが加算器回路である、上記

(5)に記載の低しきい値電圧デバイスと正規しきい値

電圧デバイスを混合した論理ブロック。

(11) 回路のうちの1つがマルチプレクサ回路である、上記(5)に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

(12) 論理ブロックの回路がダイナミック回路である、上記(4)に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロック。

(13) 低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロックを、待機電力を大幅に増加せず、性能利得を得るように最適化するためのコンピュータ実施最適化方法であって、 V_{dd} とアースの間に、漏れ電流を減少させるために大きな抵抗として働く少なくとも1つの正規しきい値電圧デバイスを定義する段階と、低しきい値電圧デバイスがオフ状態で逆バイアスされ漏れ電流を有効に減少させるように低しきい値電圧デバイスを接続する段階とを含むコンピュータ実施最適化方法。

(14) 様々な回路構成の性能をシミュレートする段階と、速度と漏れ電流の最小基準に基づいて構成を選択する段階とをさらに含む、上記(13)に記載の、低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロックを最適化するためのコンピュータ実施最適化方法。

(15) それぞれの回路適合最小基準の最適構成を選択する段階をさらに含む、上記(14)に記載の低しきい値電圧デバイスと正規しきい値電圧デバイスを混合した論理ブロックを最適化するためのコンピュータ実施最適化方法。

【図面の簡単な説明】

【図1】本発明の原理を利用して作成することができる複雑なVLSI回路の代表例としてのマイクロプロセッサのブロック図である。

【図2】本発明の原理を例示する第1の構成における低 V_t デバイスと正規 V_t デバイスを混合して使用する2入力NANDゲートの概略図である。

【図3】第2の構成において低 V_t デバイスと正規 V_t デバイスを混合して使用する2入力NANDゲートの概略図である。

【図4】本発明の教示により実施されたAND-OR-INVERT(AOI)論理ブロックの概略図である。

【図5】本発明の教示により実施されたOR-AND-INVERT(OAI)論理ブロックの概略図である。

【図6】本発明の教示により実施された4入力NANDゲートの概略図である。

【図7】本発明の教示により実施された3入力NORゲートの概略図である。

【図8】容量性負荷を駆動する2入力NANDゲートの図である。

【図9】異なる3つのタイプの2入力NAND論理ブロックにより実施された2方向マルチプレクサの概略図であ

る。

【図10】本発明の教示による混合 V_t デバイスを使用する1ビット加算器の概略図である。

【図11】図2に示した混合2入力NANDゲートに電圧注釈を加えた図である。

【図12】正規 V_t デバイスと低 V_t デバイスの両方のしきい値以下の $I-V$ 特性を示すグラフである。

【図13】本発明による最適化プロセスを示すフローチャートである。

【図14】混合 V_t ダイナミック回路ブロックの例の概略図である。

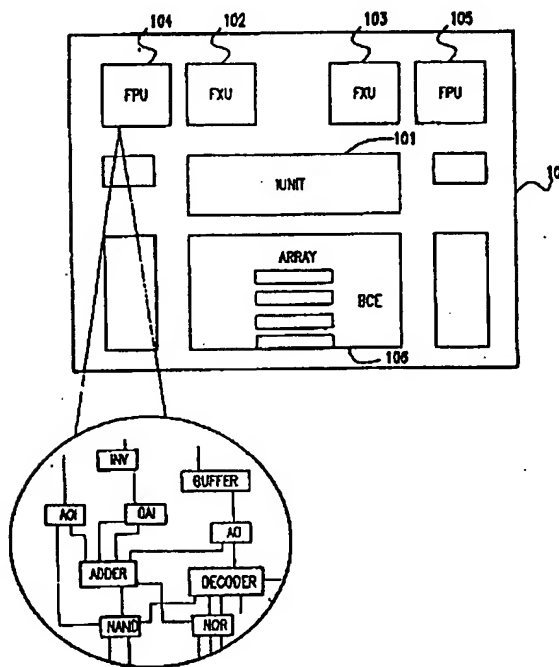
【図15】図14に示したダイナミック回路例の波形を示す図である。

【図16】2入力NANDゲートのレイアウト例を示す図である。

【図17】2つのフィンガを有する2入力NANDゲートのレイアウト例を示す図である。

【図18】AOI論理ブロックのレイアウト例の図であ

【図1】



る。

【図19】2つのフィンガを有するAOI論理ブロックのレイアウト例の図である。

【符号の説明】

10 マイクロプロセッサ

21、22 nチャネル電界効果トランジスタ (NFET)

23、24 pチャネル電界効果トランジスタ (PFET)

25 節点

41、42、45、46、51、52、55、61、62、63、64、71、72、73 NFET

43、44、47、48、53、54、56、65、66、67、68、74、75 PFET

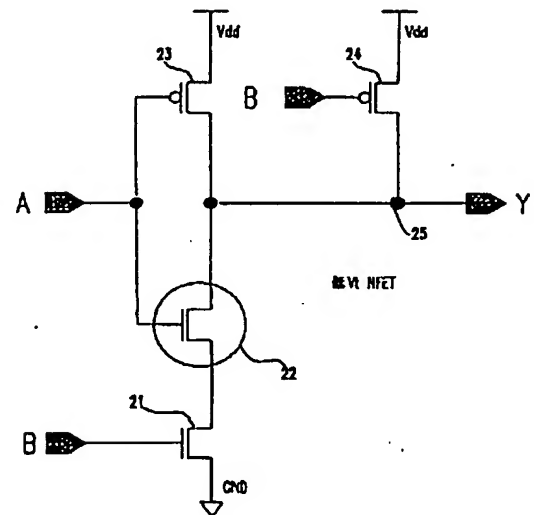
101 命令ユニット (IUNIT)

102、103 固定小数点ユニット (FXU)

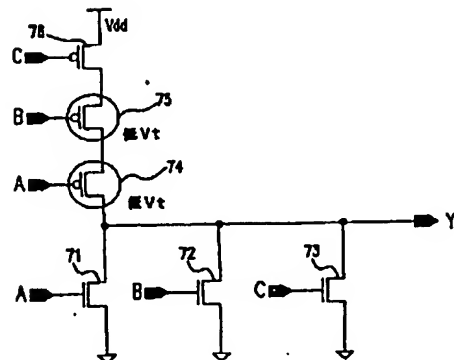
104、105 浮動小数点ユニット (FPU)

106 レジスタ・ファイル

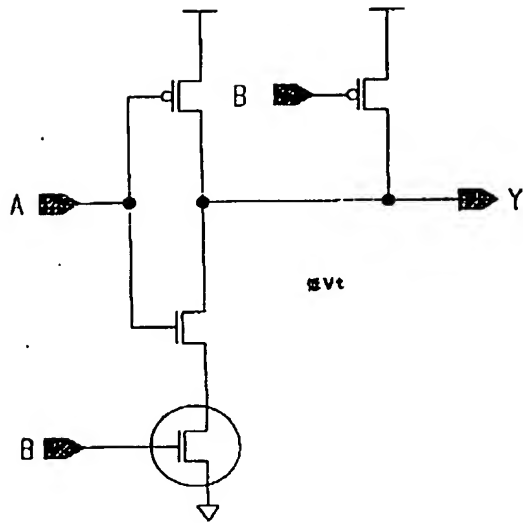
【図2】



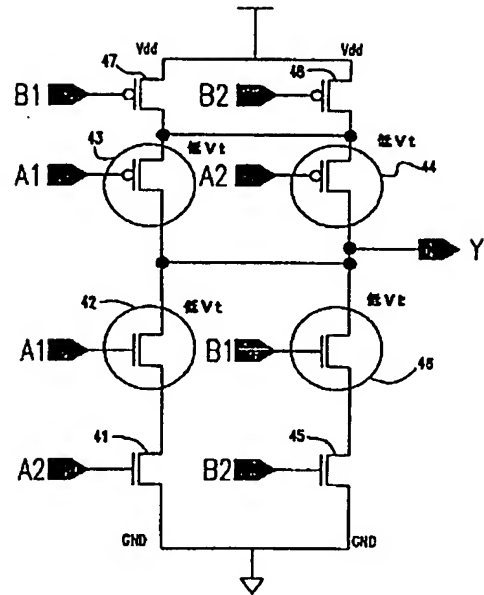
【図7】



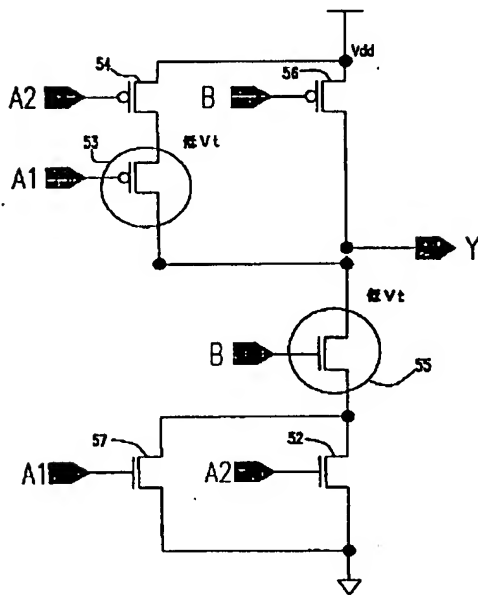
【図3】



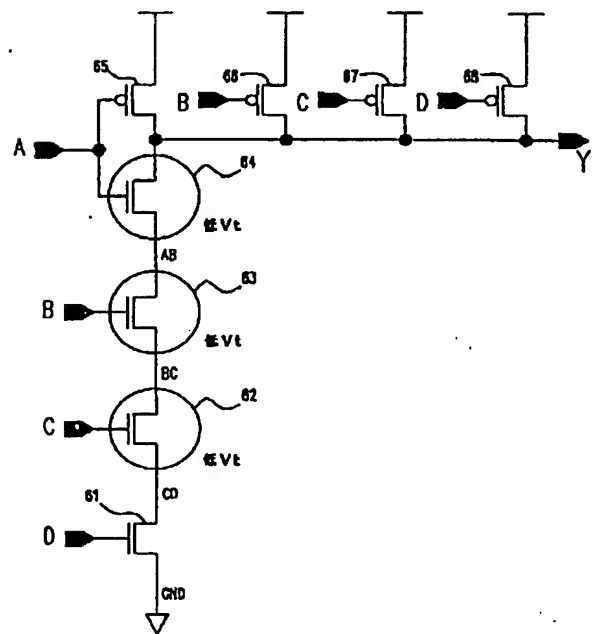
【図4】



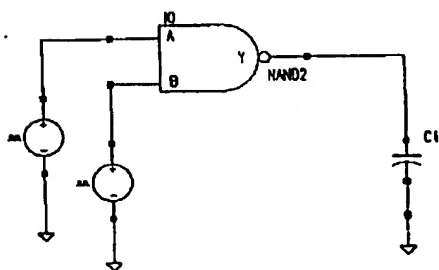
【図5】



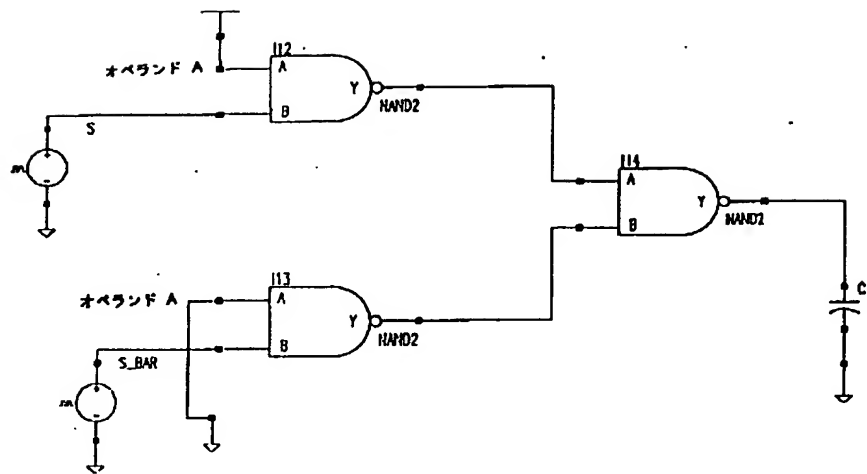
【図6】



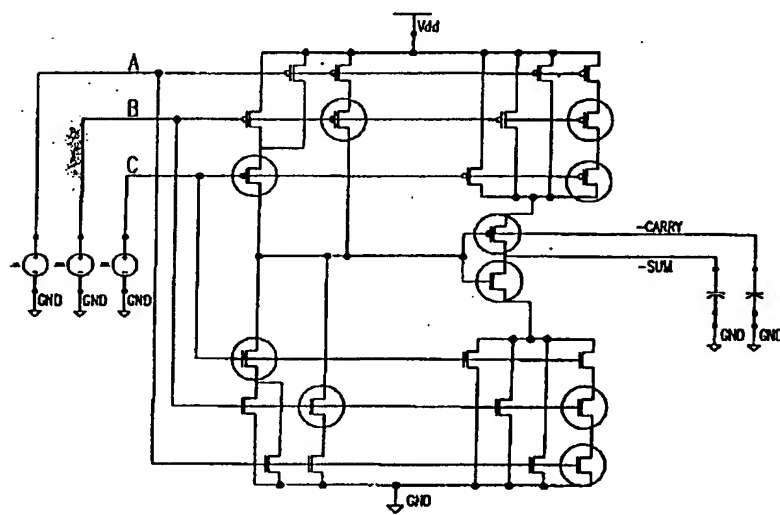
【図8】



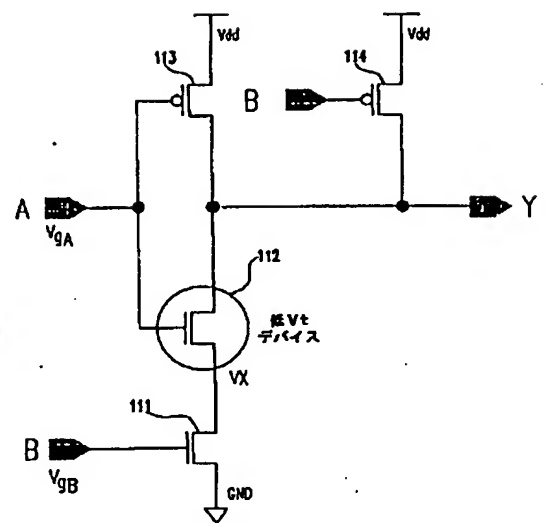
【図9】



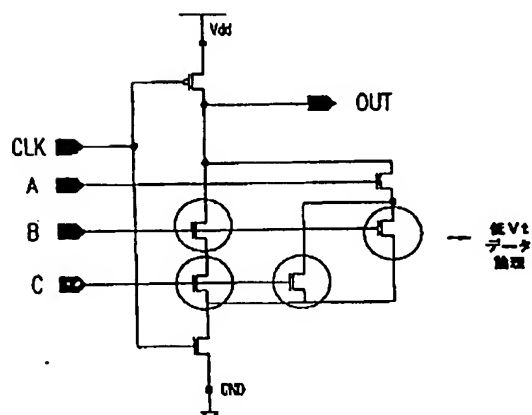
【図10】



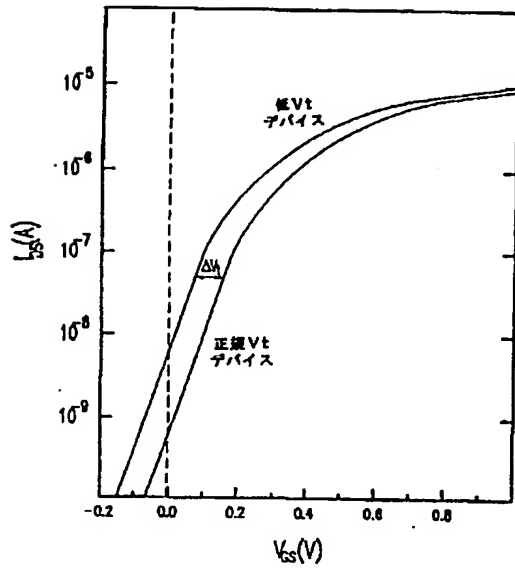
【図11】



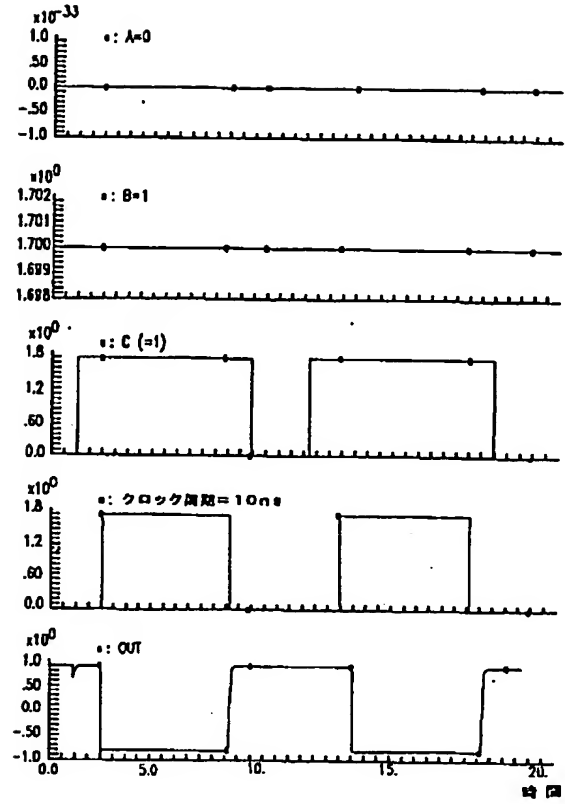
【図14】



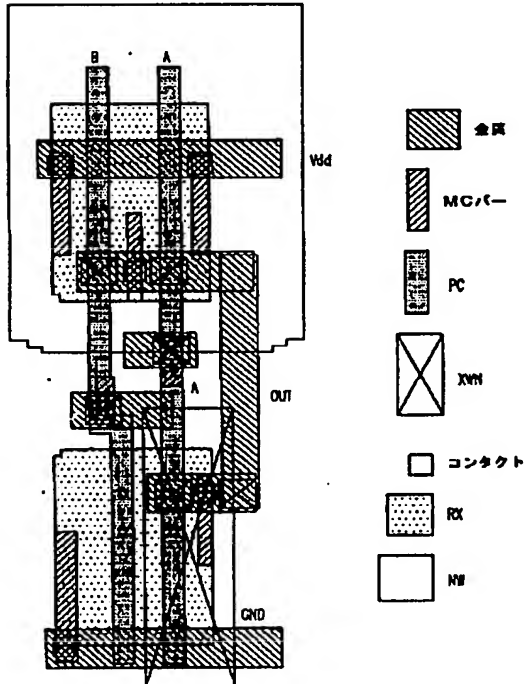
【図12】



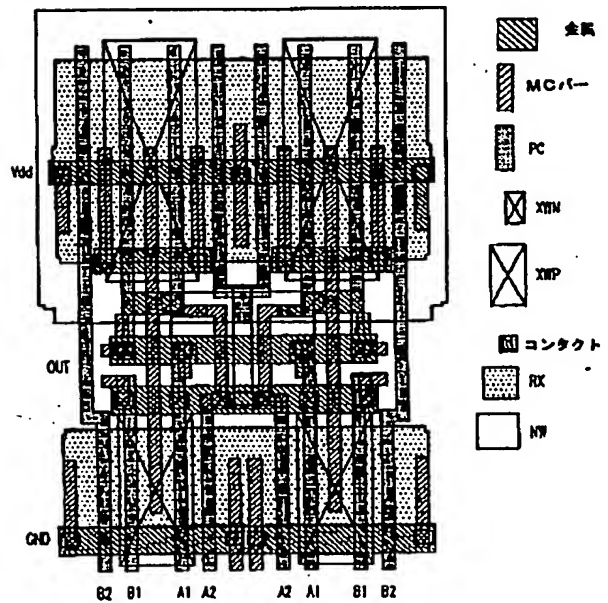
【図15】



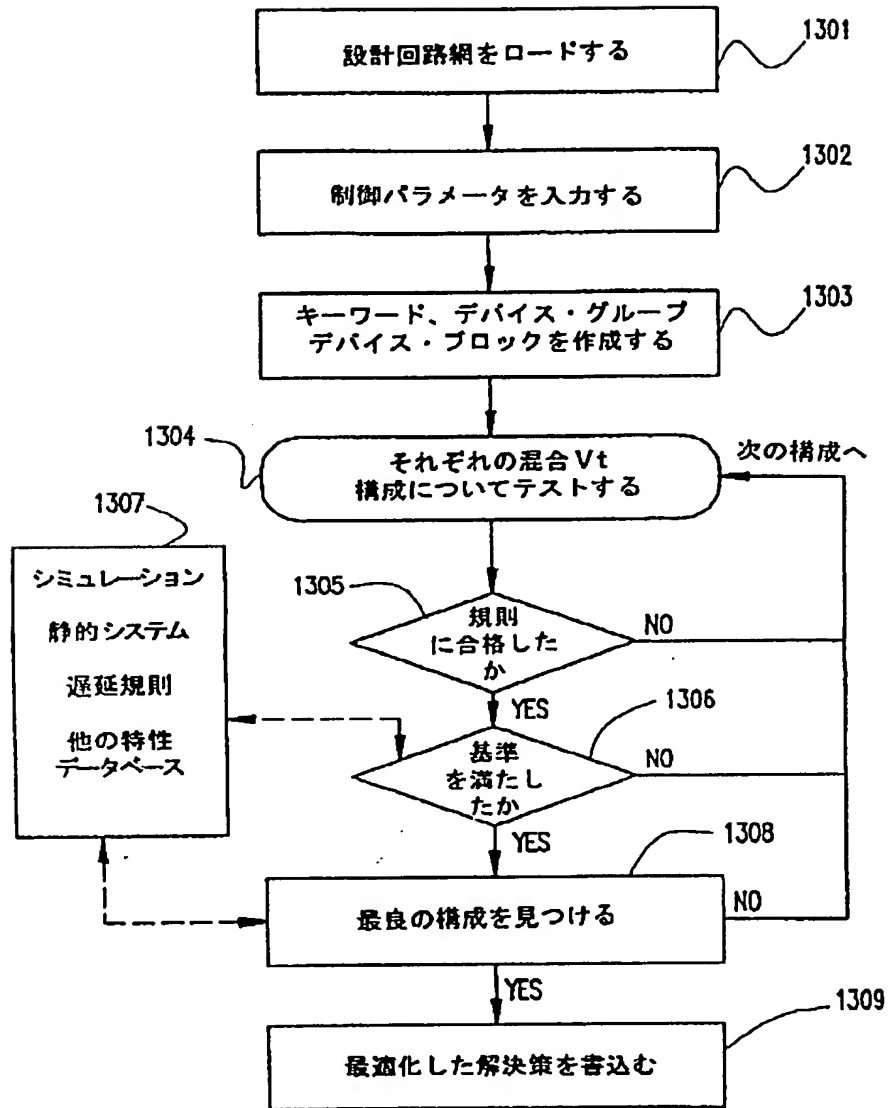
【図16】



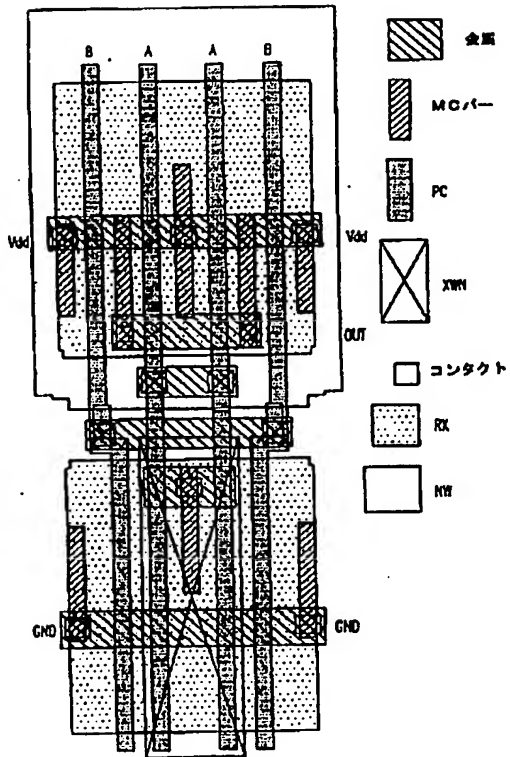
【図19】



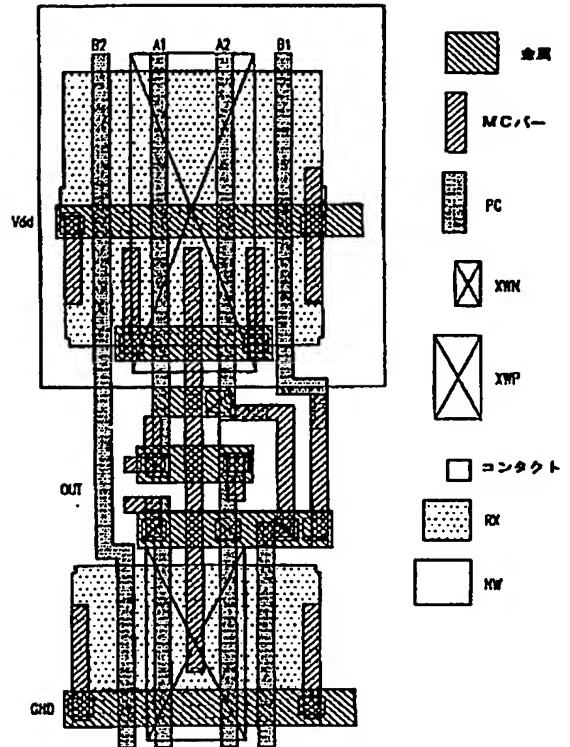
【図13】



【図17】



【図18】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 27/088

H 0 3 K 19/096

19/20

識別記号

F I

H 0 1 L 27/08

1 0 2 C